

●(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-16264

(P2002-16264A)

(43)公開日 平成14年1月18日 (2002.1.18)

(51)Int.Cl.⁷

H 01 L 29/84
B 81 B 3/00
B 81 C 1/00
G 01 C 19/56
G 01 L 1/14

識別記号

F I

H 01 L 29/84
B 81 B 3/00
B 81 C 1/00
G 01 C 19/56
G 01 L 1/14

テマコト⁷ (参考)

Z 2 F 1 0 5
4 M 1 1 2

J

審査請求 未請求 請求項の数 6 OL (全 11 頁) 最終頁に続く

(21)出願番号

特願2000-193150(P2000-193150)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(22)出願日

平成12年6月27日 (2000.6.27)

(72)発明者 加藤 義之

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 深田 賢

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74)代理人 100100022

弁理士 伊藤 洋二 (外2名)

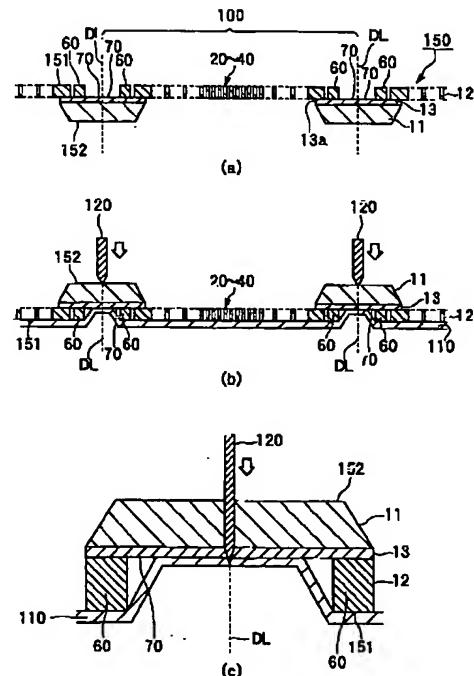
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体チップにおける半導体ウェハの一面に相当する主表面側に、可動電極及び固定電極を有する染構造体が形成されてなる半導体加速度センサにおいて、ダイシングカットの際に発生する切り屑の飛散を防止し、センサ特性の劣化を防止する。

【解決手段】 半導体ウェハ150の一面151側にチップ単位毎に、染構造体20～40を形成するとともに、スライブ領域に対応する部位に幅広の外周溝部70を形成した後、半導体ウェハ150の一面151側に保護シート110を貼り付けると共に、保護シート110を外周溝部70の底面におけるスライブラインDLに位置する部位に貼り付ける。それにより、半導体ウェハ150の他面152側からダイシングカットを行う工程では、ブレード120が半導体ウェハ150を貫通してきたときに切り屑が飛散しない。



【特許請求の範囲】

【請求項1】 一面に保護シート(110)が貼り付けられた半導体ウェハ(150)を、この半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップ(10)を有し、前記半導体チップにおける前記半導体ウェハの一面に相当する主表面(10a)側に、半導体素子(20~40)が形成されてなる半導体装置において、前記半導体チップの主表面のうち前記半導体チップの外周端部近傍から当該外周端部に渡る領域には、前記半導体チップの主表面から凹んだ溝部(70)が形成されており、この溝部は、前記保護シートが前記半導体チップの主表面から前記溝部の段差を越えて、前記半導体チップの外周端部における前記溝部の底面に貼付可能な幅を有するものであることを特徴とする半導体装置。

【請求項2】 半導体基板(11)上に設けられた半導体膜(12)に、力学量に応じて可動する可動部(20)が形成された半導体装置において、

前記半導体膜の周辺部は除去され前記半導体基板が露出した溝部(70)となっており、この溝部の幅は、前記半導体膜の膜厚に比して充分大きく設定されていることを特徴とする半導体装置。

【請求項3】 前記溝部(70)の幅は、前記半導体膜(12)の膜厚の少なくとも5倍以上であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 半導体ウェハ(150)の一面(151)側にチップ単位毎に、半導体素子(20~40)を形成するとともに、スライブ領域に対応する部位に、前記半導体ウェハの一面から凹んだ溝部(70)を形成する工程と、

前記半導体ウェハの一面側に保護シート(110)を貼り付けると共に、前記保護シートを前記溝部の底面におけるスライブラインに位置する部位に貼り付ける工程と、

しかる後、前記半導体ウェハの他面(152)側からダイシングカットを行い、前記半導体ウェハをチップ単位毎に分断する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項5】 一面に保護シート(110)が貼り付けられた半導体ウェハ(150)を、この半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップ(10)を有し、

前記半導体チップにおける前記半導体ウェハの一面に相当する主表面(10a)側には、力学量の印加に応じて所定方向に変位可能な可動電極(24)と、前記可動電極と対向して配置された固定電極(32、42)とが形成されており、

力学量の印加に応じて前記可動電極が変位したとき、前記可動電極と前記固定電極との間の静電容量の変化に基

づいて印加力学量を検出するようにした半導体力学量センサにおいて、

前記可動電極及び前記固定電極と前記半導体チップの外周端部との間には、前記可動電極及び前記固定電極の外周囲を取り囲むように、前記半導体チップの主表面から凹んだ堀部(210)が形成されており、

前記半導体チップの主表面における前記堀部の内周側の部位と外周側の部位とが電気的に接続されていることを特徴とする半導体力学量センサ。

【請求項6】 半導体ウェハ(150)の一面(151)側に、チップ単位毎に、力学量の印加に応じて所定方向に変位可能な可動電極(24)と、前記可動電極と対向して配置された固定電極(32、42)とを形成した後、前記半導体ウェハの一面に保護シート(110)を貼り付けた状態で、前記半導体ウェハをその他面(152)側からダイシングカットするようにした半導体力学量センサの製造方法において、

前記半導体ウェハの一面側にチップ単位毎に、前記可動電極及び前記固定電極を形成するとともに、エッチングにより前記可動電極及び前記固定電極の外周部とスライブ領域との間の部位に、前記可動電極及び前記固定電極を取り囲むように、前記半導体ウェハの一面から凹んだ堀部(210)を形成する工程と、

前記半導体ウェハの一面における前記堀部の内周側の部位と外周側の部位とを電気的に接続する工程と、

前記半導体ウェハの一面側に前記保護シート(110)を貼り付ける工程と、

しかる後、前記半導体ウェハの他面側からダイシングカットを行い、前記半導体ウェハをチップ単位毎に分断する工程とを備えることを特徴とする半導体力学量センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一面に保護シートが貼り付けられた半導体ウェハを、この半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップを有し、この半導体チップにおける半導体ウェハの一面に相当する主表面側に、半導体素子が形成されてなる半導体装置およびそのような半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、この種の半導体装置としては、例えば、図7に示す様な平面構成を有する半導体加速度センサJがある。このものは、半導体チップ10における主表面10a側に、溝(図7中のハッチング部分)を形成することにより、可動電極24とこの可動電極24と対向して配置された固定電極32、42とを備える櫛歯状の梁構造体としての半導体素子を形成してなる。

【0003】可動電極24は錐部21と一体化して可動部20を構成しており、この可動部20はアンカー部2

3a、23bに梁部22を介して支持されている。一方、固定電極32、42は配線部31、41にて半導体チップ10に固定支持されており、これら固定電極と配線部とにより固定部30が構成されている。

【0004】そして、加速度の印加に応じて可動部20が梁部22のバネ機能によって図中のX方向に変位したとき、可動電極24と固定電極32、42との間の静電容量の変化に基づいて印加加速度を検出するようになっている。

【0005】なお、図7に示す半導体加速度センサJにおいて、半導体チップ10における主表面10aと反対の面側には、上記梁構造体（半導体素子）に対応した部位に、可動電極24を可動とするための開口部13aが形成されている。また、可動及び固定の両電極24、32、42を含む梁構造体20、30、40の外周には、梁構造体20～40と溝を介して電気的に絶縁されたフィールド部60が設けられている。

【0006】

【発明が解決しようとする課題】このような半導体加速度センサJは、一般に図8に示す様にして製造される。図8は、上記図7のA-A断面に対応した断面にて示されたものである。即ち、まず、周知の半導体製造技術を用いて、SOI（シリコン-オナーインシレータ）ウェハ等よりなる半導体ウェハ150の一面151側にチップ単位に、半導体素子としての梁構造体20～40やフィールド部60を形成する（図8（a））。

【0007】その後、半導体ウェハ150の一面151に保護シート（ダイシングテープ）110を貼り付け、半導体ウェハ150の他面152側から、スクライブラインDLに沿ってダイシングカットする（図8（b））。こうして、半導体ウェハ150において、上記センサJがチップ単位に分断される。

【0008】この場合、図8（c）に拡大して示す様に、半導体ウェハ150の一面151側にはダイシングにおける切り代として溝Mが形成されるのが一般的であるため、スクライブ領域では保護シート110と半導体ウェハ150との間は空隙Kを介して離れている。

【0009】すると、ブレード120が半導体ウェハ150を貫通した際に、この空隙Kにて切り屑Nが飛散し、保護シート110に付着する。そのため、半導体ウェハ150から保護シート110を剥がす際に、切り屑Nが半導体チップ150上に付着残留し、半導体チップ150に形成された可動電極24等に異物として載ってしまい、センサの動作不良を起こすという問題が生じる。

【0010】なお、このような問題は、上記加速度センサJに限らず、一面に保護シートが貼り付けられた半導体ウェハをこの半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップにおいて、半導体ウェハの一面に相当する主表面側に集積回路やダ

イヤフラム等の半導体素子を形成した半導体装置について、共通の問題として考えられ、上記切り屑の付着により半導体素子の特性劣化が懸念される。

【0011】そこで、本発明は上記問題に鑑み、一面に保護シートが貼り付けられた半導体ウェハを、この半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップを有し、この半導体チップにおける半導体ウェハの一面に相当する主表面側に、半導体素子が形成されてなる半導体装置において、ダイシングカットの際に発生する切り屑の飛散を防止し、半導体素子の特性劣化を防止できるようにすることを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明に記載の半導体装置においては、半導体ウェハ（150）の一面（151）に相当する半導体チップ（10）の主表面（10a）のうち半導体チップの外周端部近傍から当該外周端部に渡る領域に、当該主表面から凹んだ溝部（70）を形成し、この溝部を、保護シート（110）が半導体チップの主表面から溝部の段差を越えて、半導体チップの外周端部における溝部の底面に貼付可能な幅を有するものとしたことを特徴としている。

【0013】本発明によれば、ダイシングカット時には、この溝部がスクライブ領域に対応し、半導体ウェハを貫通してきたブレードは、溝部の底面のうち半導体チップの外周端部となる部位即ちスクライブラインに位置する部位に現れてくる。ここで、この溝部の底面にも保護シートが貼り付けられ密着しているため、切り屑が飛散する空隙が存在せず、ダイシングカットの際に発生する切り屑の飛散を防止し、半導体素子の特性劣化を防止することができる。

【0014】また、請求項2の発明は、半導体基板（11）上に設けられた半導体膜（12）に、力学量に応じて可動する可動部（20）が形成された半導体装置において、半導体膜の周辺部は除去されて半導体基板が露出した溝部（70）となっており、この溝部の幅は、半導体膜の膜厚に比して充分大きく設定されていることを特徴としている。

【0015】本発明の半導体装置によれば、半導体膜の膜厚に対してその周辺部の溝部の幅を、充分大きく設定しているので、例えば今回のように、ダイシング時の保護シートが溝部へ貼り付けできて好ましい。また、本発明のように、半導体膜に可動部を形成し、かつ半導体膜を支持基板上に形成する装置にとっては、周辺の溝部の幅が半導体膜よりも充分大きいため、構造的に好ましいものとなる。

【0016】ここで、請求項3の発明によれば、溝部（70）の幅を、半導体膜（12）の膜厚の5倍以上としているので、例えば保護シートを貼り付ける際には、

保護シートを貼ることが出来る。さらに、10倍以上であれば好ましく、13倍以上であれば十分と言える。

【0017】また、請求項4の発明は、半導体装置の製造方法に係るものであり、半導体ウェハ(150)の一面(151)側にチップ単位毎に、半導体素子(20~40)を形成するとともに、スクライブ領域に対応する部位に、半導体ウェハの一面から凹んだ溝部(70)を形成する工程と、半導体ウェハの一面側に保護シート(110)を貼り付けると共に、保護シートを溝部の底面におけるスクライブラインに位置する部位に貼り付ける工程と、かかる後、半導体ウェハの他面(152)側からダイシングカットを行い、半導体ウェハをチップ単位毎に分断する工程とを実行することを特徴としている。

【0018】本製造方法によれば、ダイシングカット時には、この溝部がスクライブ領域となり、半導体ウェハを貫通してきたブレードは、溝部の底面のうち半導体ウェハの一面側のスクライブラインに位置する部位に現れてくる。ここで、この溝部の底面にも保護シートが貼り付けられ密着しているため、切り屑が飛散する空隙が存在せず、ダイシングカットの際に発生する切り屑の飛散を防止することができ、出来上がった半導体装置において半導体素子の特性劣化を防止することができる。

【0019】また、請求項5の発明は、一面に保護シート(110)が貼り付けられた半導体ウェハ(150)を、この半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップ(10)を有する半導体装置として、半導体チップにおける半導体ウェハの一面に相当する主表面(10a)側に、力学量の印加に応じて所定方向に変位可能な可動電極(24)と、可動電極と対向して配置された固定電極(32、42)とを形成し、力学量の印加に応じて可動電極が変位したとき、可動電極と固定電極との間の静電容量の変化に基づいて印加力学量を検出するようにした半導体力学量センサを採用したものである。

【0020】そして、この半導体力学量センサにおいて、可動電極及び固定電極と半導体チップの外周端部との間に、可動電極及び固定電極の外周囲を取り囲むように、半導体チップの主表面から凹んだ堀部(210)を形成し、半導体チップの主表面における堀部の内周側の部位と外周側の部位とを電気的に接続したことを特徴したものである。

【0021】本発明によれば、堀部外周の残し部(211)がダイシングにおける切り代となる。そして、ダイシングカット時には、この残し部に保護シートが貼り付けられ密着することにより、切り屑が飛散する空隙が存在しないようにすることができるため、ダイシングカットの際に発生する切り屑の飛散を防止することができる。

【0022】さらに、本発明によれば、半導体チップの

主表面における堀部の内周側と外周側の両側の部位が電気的に接続されているため、堀部を形成した半導体チップにおいて、堀部の内周側と外周側との間で寄生容量が発生するのを防止することができる。

【0023】従って、本発明によれば、可動電極及び固定電極への切り屑の付着を防止するとともに、上記した寄生容量の発生による可動電極及び固定電極への電気的な悪影響を防止することができるため、可動電極及び固定電極の特性劣化を防止することが可能な半導体力学量センサを提供することができる。

【0024】また、請求項6の発明は、上記した半導体力学量センサの製造方法に係るものであり、半導体ウェハ(150)の一面(151)側にチップ単位毎に、可動電極(24)及び固定電極(32、42)を形成するとともに、エッティングにより可動電極及び固定電極の外周部とスクライブ領域との間の部位に、可動電極及び固定電極を取り囲むように、半導体ウェハの一面から凹んだ堀部(210)を形成する工程と、半導体ウェハの一面における堀部の内周側の部位と外周側の部位とを電気的に接続する工程と、半導体ウェハの一面側に保護シート(110)を貼り付ける工程と、かかる後、半導体ウェハの他面(152)側からダイシングカットを行い、半導体ウェハをチップ単位毎に分断する工程とを実行することを特徴としている。

【0025】本発明によれば、請求項5に記載の半導体力学量センサを適切に製造することのできる半導体力学量センサの製造方法を提供することができる。

【0026】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示す一例である。

【0027】

【発明の実施の形態】(第1実施形態)以下、本発明を図に示す実施形態について説明する。本実施形態は、半導体装置として、差動容量式の半導体加速度センサについて本発明を適用したものである。図1に半導体加速度センサ100の平面構成を示し、図2に図1中のB-B線に沿った模式的な断面構造を示す。この半導体加速度センサ100は、例えば、エアバッグ、ABS、VSC等の作動制御を行うための自動車用加速度センサやジャイロセンサ等に適用できる。

【0028】半導体加速度センサ(以下、単にセンサという)100は、半導体ウェハに周知の半導体製造技術を用いてチップ単位毎にセンサ構成部を形成した後、該半導体ウェハをダイシングカットすることにより分断された半導体チップとして構成されている。

【0029】センサ100を構成する半導体チップは、図2に示す様に、第1の半導体層としての第1シリコン基板(半導体基板)11と第2の半導体層としての第2シリコン基板(半導体膜)12との間に、絶縁層としての酸化膜13を有する矩形状のSOI基板10である。

ここで、SOI基板（半導体チップ）10では、第2シリコン基板12側がSOI基板10の主表面10aである。また、図1中、酸化膜13の露出する部分には、識別のために便宜上ハッキングを施してある。

【0030】第2シリコン基板12には、溝を形成することにより、可動部20及び固定部30、40よりもなる櫛歯形状を有する梁構造体が形成されており、この梁構造体20～40は本発明でいう半導体素子に相当するものである。また、第1シリコン基板11及び酸化膜13のうち上記梁構造体20～40の形成領域に対応した部位は、エッティング等により矩形状に除去されて開口部13aを形成している。

【0031】開口部13a上を横断するように配置された可動部20は、矩形状の錐部21の両端を、梁部22を介してアンカー部23a及び23bに一体に連結した構成となっている。これらアンカー部23a及び23bは、酸化膜13における開口部13aの開口縁部に固定されており、第1シリコン基板11上に支持されている。これにより、錐部21及び梁部22は、開口部13aに臨んだ状態となっている。

【0032】また、梁部22は、2本の梁がその両端で連結された矩形枠状をなしており、梁の長手方向と直交する方向に変位するバネ機能を有する。具体的には、梁部22は、図1中の矢印X方向の成分を含む加速度を受けたときに錐部21を矢印X方向へ変位させるとともに、加速度の消失に応じて元の状態に復元させるようになっている。よって、可動部20は、加速度の印加に応じて、開口部13a上にて梁部22の変位方向（矢印X方向）へ変位可能となっている。

【0033】また、可動部20は、梁部22の変位方向（矢印X方向）と直交した方向にて、錐部21の両側面から互いに反対方向へ一体的に突出形成された複数個の可動電極24を備えている。

【0034】図1では、可動電極24は、錐部21の左側及び右側に各々3個ずつ突出して形成され、各可動電極24は断面矩形の梁状に形成されて、開口部13aに臨んだ状態となっている。このように、各可動電極24は、梁部22及び錐部21と一体的に形成され、錐部21とともに梁部22の変位方向へ変位可能となっている。

【0035】固定部30、40は、酸化膜13における開口部13aの開口縁部における対向辺部のうち、アンカー部23a、23bが支持されていないもう1組の対向辺部に支持されている。ここで、固定部30、40は、錐部21を挟んで2個設けられており、図1中の左側に位置する第1の固定部30と、図1中の右側に位置する第2の固定部40とより成り、両固定部30、40は互いに電気的に独立している。

【0036】各固定部30、40は、酸化膜13における開口部13aの開口縁部に固定されて第1シリコン基

板11に支持された配線部31及び41と、可動電極24の側面と所定の検出間隔を有して平行した状態で対向配置された複数個（図示例では3個ずつ）の固定電極32及び42とを有した構成となっている。

【0037】なお、第1の固定部30側の固定電極32を第1の固定電極、第2の固定部40側の固定電極42を第2の固定電極とする。各固定電極32及び42は断面矩形の梁状に形成されて、各配線部31、41に片持ち状に支持された状態となっており、開口部13aに臨んだ状態となっている。

【0038】また、各固定部30、40の各配線部31、41上の所定位置には、それぞれワイヤボンディング用の固定電極パッド31a、41aが形成されている。また、一方のアンカー部23bと一体に連結された状態で、可動電極用配線部25が形成されており、この配線部25上の所定位置には、ワイヤボンディング用の可動電極パッド25aが形成されている。上記の各電極パッド25a、31a、41aは、例えばアルミニウム等により形成されている。

【0039】更に、錐部21、可動電極24、及び各固定電極32、42には、SOI基板10の主表面10aから開口部13a側へ貫通する矩形状の貫通孔50が複数形成されており、これら貫通孔50により、矩形枠状部を複数組み合わせた所謂ラーメン構造形状が形成されている。これにより、可動部20及び各固定電極32、42の軽量化、捩じり強度の向上がなされている。

【0040】また、第2シリコン基板12のうち梁構造体20～40の外周には、酸化膜13に達する溝を介して梁構造体20～40とは電気的に絶縁されたフィールド部60が形成されている。このフィールド部60は梁構造体20～40を取り囲むように環状に配置されており、このフィールド部60によって梁構造体20～40は外部から電気的にシールドされている。

【0041】ここで、本実施形態では、SOI基板10の主表面10aのうちフィールド部60の外周からSOI基板10の外周端部に渡る領域に、第2シリコン基板12を除去することにより酸化膜13に達する環状の外周溝部（本発明でいう溝部）70を形成したことを主たる特徴としている。

【0042】このSOI基板（半導体チップ）10の主表面10aから凹んだ外周溝部70は、上記図7に示した従来の切り代の溝Mに比べて幅広形状となっている。即ち、外周溝部70の幅は、後述するダイシングカットの際に使用する保護シート110が、フィールド部60の表面（半導体チップの主表面）から外周溝部70の段差を越えて折り曲げられ、SOI基板10の外周端部における外周溝部70の底面に貼り付くことのできる大きさとなっている。

【0043】具体的には、外周溝部70の幅は、最低でも75μmは必要と考える。これは、保護シート110の

膜厚、粘着剤によるものと思われる。好ましくは、150μm程度であり、200μmを越えた際には、十分良好な結果が得られた。即ち、第2シリコン基板12の膜厚が15μmであるため、保護シート10が、外周溝部70に貼り付くための外周溝部70の幅として、基板12の膜厚との比率でいうと、少なくとも基板12の膜厚の5倍以上、好ましくは10倍以上、最適には13倍以上とする。

【0044】かかる本センサ100は、主表面10aとは反対側の第1シリコン基板11側の面において接着剤80を介してパッケージ81に接着固定されている。このパッケージ81には、図示しない回路手段が収納されている。そして、この回路手段と上記の各電極パッド25a、31a、41aとは、ワイヤボンディング等により電気的に接続されている。

【0045】このような構成においては、第1の固定電極32と可動電極24との検出間隔に第1の容量CS1、第2の固定電極42と可動電極24との検出間隔に第2の容量CS2が形成されている。

【0046】そして、加速度を受けると、梁部22のバネ機能により、可動部20全体が一体的に上記矢印X方向へ変位し、可動電極24の変位に応じて上記第1及び第2の容量CS1、CS2が変化する。そして、上記回路手段により、これら第1及び第2の容量の差分、即ち、差動容量(CS1-CS2)の変化を電圧信号に変換することで加速度を検出する。

【0047】次に、上記構成に基づき、本実施形態に係るセンサ100の製造方法を説明する。図3は、本センサ100の製造方法を説明するための説明図であり、上記図2に対応した断面にて示してある。なお、図3中、(c)はスクライブライン近傍の拡大図である。

【0048】本センサ100は、ウェハ状態のSOI基板である半導体ウェハ150に、周知のフォトリソグラフィ技術、ドライエッティングまたはウェットエッティング技術等の半導体製造技術を用いて、チップ単位に梁構造体20~40、フィールド部60、外周溝部70等のセンサ構成部を形成した後、図3(a)に示すスクライブライン(ダイシングライン)DLに沿ってダイシングカットを行うことにより形成される。

【0049】限定するものではないが、センサ構成部の製造方法の一例を述べる。まず、半導体ウェハ150の一面(SOI基板10の主表面10aに相当する)151に、アルミニウム等の導電性膜を成膜し、その膜をフォトリソグラフィ技術及びエッティング技術を利用してパターニングすることにより、上記電極パッド25a、31a、41aを形成する。

【0050】次に、半導体ウェハ150の他面(SOI基板10の第1シリコン基板11の表面に相当)152に、例えば、プラズマSiN膜により、開口部13aをエッティングにより形成する際のマスクを形成する。続い

て、半導体ウェハ150の一面151に、PIQ(ポリイミド)膜を塗布し、そのPIQ膜をエッティングして、梁構造体20~40、フィールド部60、外周溝部70等に対応した形状にパターニングする。

【0051】次に、上記PIQ膜の上に、保護膜としてのレジストを塗布し、半導体ウェハ150の他面152側を例えばKOH水溶液で深堀エッティングする。この深堀エッティングにおいては、酸化膜13のエッティング速度がSiに比較して遅いため、酸化膜13がエッティングストップとして機能する。

【0052】この後、HF水溶液等により、露出している酸化膜13及び上記プラズマSiN膜を除去してから、半導体ウェハ150の一面151を保護しているレジストを除去し、上記PIQ膜をマスクにしてドライエッティングにより、第2シリコン基板12中に溝を形成することによって、梁構造体20~40、フィールド部60、外周溝部70等のセンサ構成部を形成する。

【0053】そして、表面のPIQ膜をO2アッシング等によって除去することにより、図3(a)に示す様に、半導体ウェハ150において、上記センサ100がチップ単位毎に形成される。

【0054】このように本製造方法においては、まず、半導体ウェハ150の一面151側にチップ単位毎に、梁構造体(半導体素子)20~40及びフィールド部60を形成するとともに、スクライブ領域に対応する部位に半導体ウェハ150の一面151から凹んだ外周溝部70を形成する(半導体素子及び溝部形成工程)。

【0055】次に、図3(b)に示す様に、半導体ウェハ150の一面151側に保護シート110を貼り付けると共に、保護シート110を外周溝部70の底面におけるスクライブラインDLに相当する部位に貼り付ける(保護シート貼付工程)。この保護シート110は、ダイシングカットの際に一般に用いられる樹脂よりもなるダイシングテープであり、外周溝部70の底面に押し付けるように曲げ変形させられることで、当該底面に貼り付けられる。

【0056】なお、この保護シート貼付工程が実行されるということは、上述したように、センサ100の構成においても、保護シート110がSOI基板10の主表面10aから(フィールド部60の表面から)外周溝部70の段差を越えて、SOI基板10の外周端部における外周溝部70の底面に貼付可能となっていることを意味する。ちなみに、上記図8に示した従来の溝Mでは幅が狭く、上記のように、保護シート110を溝の底面に貼り付けることはできない。

【0057】保護シート貼付工程の後、図3(b)に示す様に、半導体ウェハ150の他面152側からスクライブラインDLに沿って、ダイシング用のブレード120を用いてダイシングカットを行い、半導体ウェハ150をチップ単位毎に分断する(ダイシングカット工

程）。このとき、外周溝部70は切り代となる。

【0058】このダイシングカット工程においては、外周溝部70がスクライプ領域に位置し、半導体ウェハ150を貫通してきたブレード120は、外周溝部70の底面のうち、SOI基板10の外周端部となる部位即ち半導体ウェハ150の一面151側のスクライブラインDLに位置する部位に現れてくる。

【0059】ここで、このブレード120が現れてくる外周溝部70の底面には、保護シート110が貼り付けられ密着しているため、ウェハ150の切り屑が飛散する空隙が存在しないようにすることができる。そのため、ダイシングカットの際に発生する切り屑の飛散を防止して、梁構造体（半導体素子）20～40等のセンサ構成部への切り屑の付着を防止することができる。

【0060】もし、梁構造体20～40へ切り屑が異物として付着すると、加速度印加時における可動部20の正常な変位特性を阻害したり、可動及び固定電極24、32、42間の短絡等の不具合を招く可能性がある。その点、本実施形態によれば、そのような切り屑の付着を防止することができるため、梁構造体20～40の特性劣化、即ちセンサ特性の劣化を防止することができる。

【0061】なお、ダイシングカット工程の後、保護シート110を剥がし、半導体チップとしてのSOI基板10を上記パッケージ81へ配設したり、各電極パッド25a、31a、41aと上記回路手段とのワイヤボンディングを行う等により、本実施形態のセンサ100が完成する。

【0062】このように、本実施形態によれば、ダイシングカットの際に発生する切り屑の飛散を防止し、半導体素子としての梁構造体20～40の特性劣化を防止することができる半導体加速度センサ及びそのようなセンサの製造方法を提供することができる。

【0063】なお、本第1実施形態は外周溝部の構成及びその製造方法を要部とするものであり、半導体加速度センサに限らず、一面に保護シートが貼り付けられた半導体ウェハを他面側からダイシングカットすることにより形成された半導体チップを有し、該半導体チップにおける半導体ウェハの一面に相当する主表面側に集積回路やダイヤフラム等の半導体素子を形成した半導体装置についても適用可能である。即ち、半導体集積回路装置や圧力センサ等の半導体力学量センサ等にも、本実施形態は適用可能である。

【0064】（第2実施形態）本第2実施形態に係る半導体加速度センサ200の平面構成を図4に示す。また、図5に図4中のC-C線に沿った模式的な断面構造を示す。ここで、図4中、酸化膜13の露出する部分には、識別のため便宜上ハッチングを施してある。本実施形態は、上記第1実施形態にて示した半導体加速度センサにおいて外周溝部の代わりに堀部を設けたことを特徴とするものであり、第1実施形態と同一部分には、図

中、同一符号を付し、以下、相違点について主として説明する。

【0065】図4及び図5に示す様に、可動電極24及び固定電極32、42を含む梁構造体20～40とSOI基板（半導体チップ）10の外周端部との間に、梁構造体20～40の外周囲を取り囲むように、SOI基板10の主表面10aから酸化膜13まで凹んだ堀部210が形成されている。

【0066】本例では、堀部210は、梁構造体20～40の外周囲のフィールド部60の外周を取り囲むように配置されている。そして、堀部210の外周からSOI基板10の外周端部までの領域には、第2シリコン基板12が残された部分としての残し部211が設けられている。

【0067】また、この堀部210内には、SOI基板10の主表面10aにおける堀部210の内周側の部位（本例ではフィールド部60）と外周側の部位である残し部211とを電気的に接続する電気接続部220が形成されている。本例では、電気接続部220は、堀部210内にて第2シリコン基板12を部分的に4箇所残すことにより形成されている。なお、電気接続部220は少なくとも1箇所形成されればよい。

【0068】本実施形態のセンサ200の製造方法について、図6を参照して述べる。図6は、本センサ200の製造方法を説明するための説明図であり、上記図5に対応した断面にて示してある。なお、図6中、(c)はスクライブライン近傍の拡大図である。

【0069】本例では、電気接続部220は、第2シリコン基板12を部分的に残すことにより形成されているため、堀部210及び電気接続部220は、上記第1実施形態に示した製造方法と同様に、梁構造体20～40等をエッチングして形成する際に、同時にパターニングして形成することができる。

【0070】つまり、本例では、可動電極24及び固定電極32、42の形成及び堀部210の形成を行う工程と、半導体ウェハ150の一面151における堀部210の内周側の部位と外周側の部位とを電気的に接続する工程（電気接続部形成工程）とは、同時にを行うことができる。なお、電気接続部220は、連続してつながった環状の堀部210を形成した後、フィールド部60と残し部211とをワイヤ等で接続したり、堀部210内に部分的に導電性部材を埋め込む等によって形成しても良い。

【0071】こうして、図6(a)に示す様に、半導体ウェハ150の一面151側に、チップ単位毎に、梁構造体20～40、フィールド部60、堀部210、残し部211及び電気接続部220等が形成される。次に、図6(b)に示す様に、半導体ウェハ150の一面151側に保護シート110を貼り付ける（保護シート貼付工程）。このとき、残し部211にも保護シート110

が貼り付けられる。

【0072】しかる後、図6 (b) に示す様に、半導体ウェハ150の他面152側からスクライブラインDLに沿って、ダイシング用のブレード120を用いてダイシングカットを行い、半導体ウェハ150をチップ単位毎に分断する(ダイシングカット工程)。このとき、チップ単位を越えて隣接する堀部210の間の残し部211が切り代となる。

【0073】このダイシングカット工程においては、残し部211がスクライブ領域に位置し、半導体ウェハ150を貫通してきたブレード120は、残し部211の表面のうち、SOI基板10の外周端部となる部位即ち半導体ウェハ150の一面151側のスクライブラインDLに位置する部位に現れてくる。

【0074】ここで、このブレード120が現れてくる残し部211の表面には、保護シート110が貼り付けられ密着しているため、ウェハ150の切り屑が飛散する空隙が存在しない。そのため、ダイシングカットの際に発生する切り屑の飛散を防止して、梁構造体20~40等のセンサ構成部への切り屑の付着を防止することができる。

【0075】また、本実施形態によれば、SOI基板(半導体チップ)10の主表面10aにおけるフィールド部60と残し部211とが電気的に接続されている(つまり、堀部210の内周側と外周側の両側の部位が電気的に接続されている)ため、堀部210を形成したSOI基板10において、堀部210の内周側と外周側との間で寄生容量が発生するのを防止することができる。

【0076】従って、本実施形態によれば、半導体加速度センサにおいて、可動電極24及び固定電極32、42への切り屑の付着を防止するとともに、上記した寄生容量の発生による可動電極24及び固定電極32、42への電気的な悪影響を防止することができるため、両電極24、32、42の機械的、電気的特性を良好に維持することが可能となる。

【0077】なお、本第2実施形態は、半導体加速度センサ以外にも、一面に保護シートが貼り付けられた半導体ウェハを、この半導体ウェハの他面側からダイシングカットすることにより形成された半導体チップを有し、半導体チップにおける半導体ウェハの一面に相当する主表面側に、可動電極及び固定電極を形成し、力学量の印加に応じて可動電極が変位したとき、可動電極と固定電極との間の静電容量の変化に基づいて印加力学量を検出するようにした半導体力学量センサについて適用可能であり、例えば、角速度センサや圧力センサであっても良い。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体加速度センサの平面構成図である。

【図2】図1中のB-B線に沿った模式的断面図である。

【図3】図1に示す加速度センサの製造方法を示す説明図である。

【図4】本発明の第2実施形態に係る半導体加速度センサの平面構成図である。

【図5】図4中のC-C線に沿った模式的断面図である。

【図6】図4に示す加速度センサの製造方法を示す説明図である。

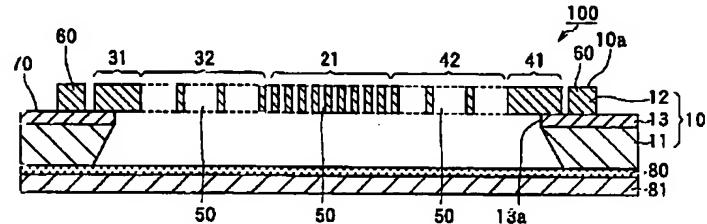
【図7】従来の半導体加速度センサの平面構成図である。

【図8】図7に示す加速度センサの製造方法を示す説明図である。

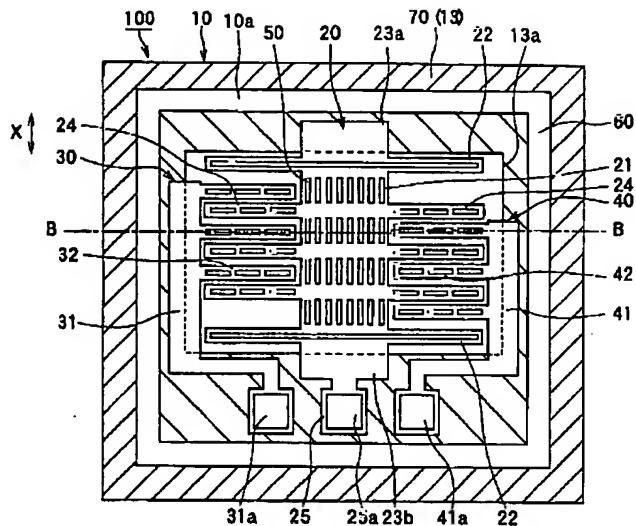
【符号の説明】

10…SOI基板、10a…SOI基板の主表面、11…第1シリコン基板(半導体基板)、12…第2シリコン基板(半導体膜)、20…可動部、24…可動電極、30、40…固定部、32、42…固定電極、70…溝部、110…保護シート、150…半導体ウェハ、151…半導体ウェハの一面、152…半導体ウェハの他面、210…堀部、211…残し部。

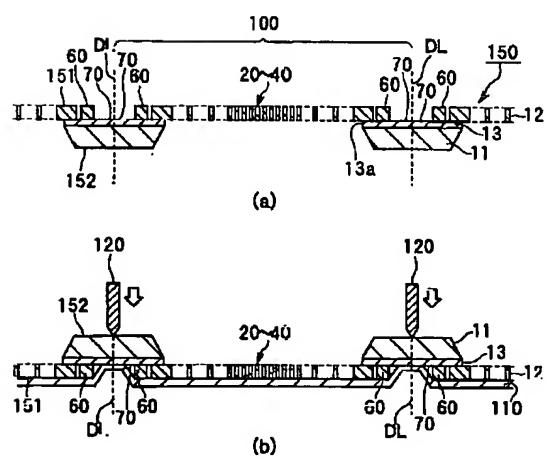
【図2】



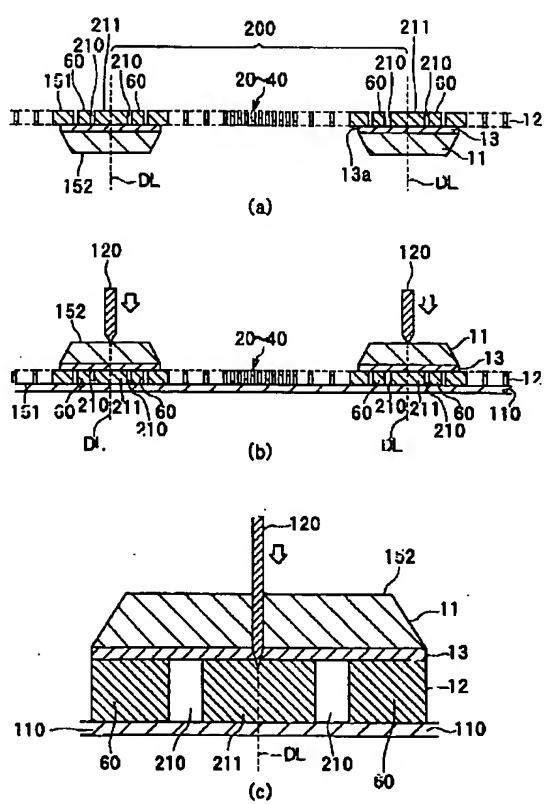
【図1】



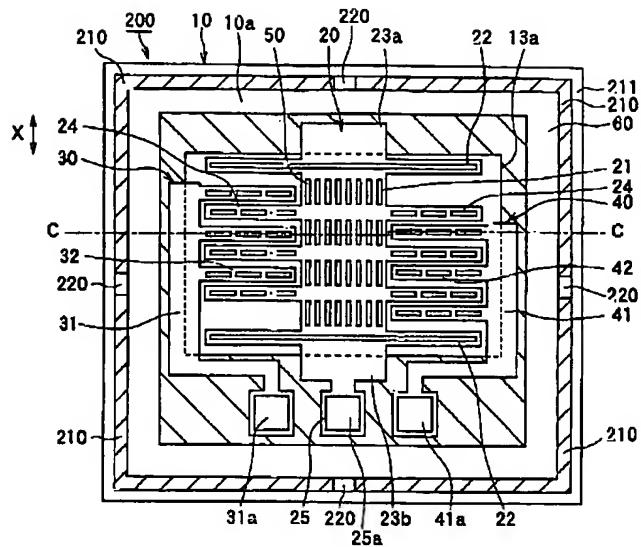
【図3】



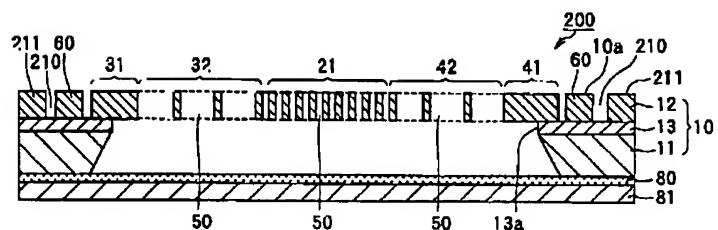
【図6】



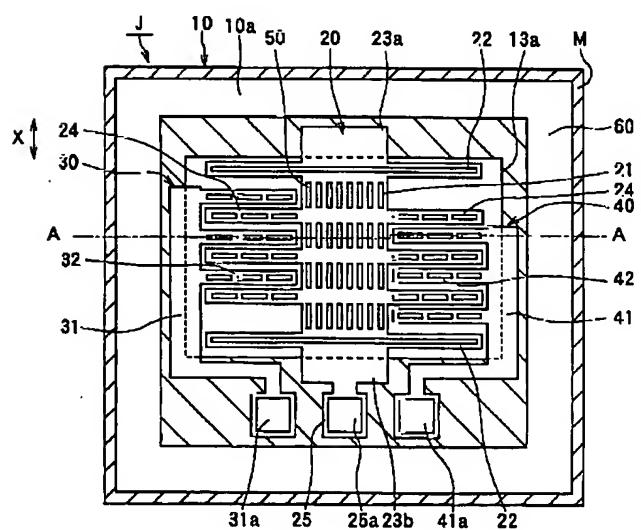
【図4】



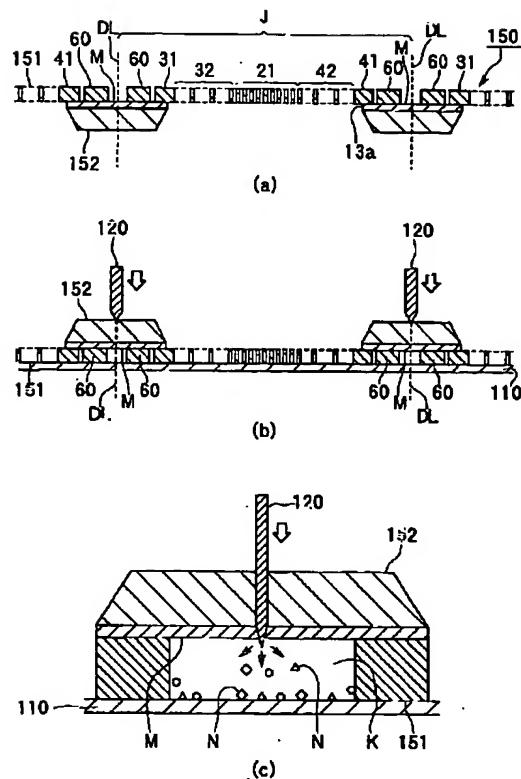
【図5】



【図7】



【図8】



フロントページの続き

(51) Int.C1.7	識別記号	F I	(参考)
G 01 P 9/04		G 01 P 9/04	
15/125		15/125	
H 01 L 21/301		H 01 L 21/78	L M

(72)発明者 武藤 浩司
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 伊藤 基樹
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 杉戸 泰成
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 酒井 峰一
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
F ターム(参考) 2F105 BB04 CC04 CD03 CD05 CD13
4M112 AA02 BA07 CA24 CA26 CA34
CA36 DA03 DA04 DA16 EA02
EA06 EA14